

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. SHO 61[1986]-127228

Int. Cl. ⁴ :	H 03 L 7/16 G 06 F 1/00 1/04 G 09 G 3/18
Sequence Nos. for Office Use:	7530-5J E-7157-5B 7436-5C
Filing No.:	Sho 59[1984]-248130
Filing Date:	November 26, 1984
Publication Date:	June 14, 1986
No. of Inventions:	1 (Total of 7 pages)
Examination Request:	Not filed

DIGITAL INFORMATION PROCESSING DEVICE

Inventors:	Tamotsu Arai Musashi Factory, Hitachi, Ltd. 1450 Kamimimoto-cho, Kodaira-shi
	Akira Iue Hitachi Microcomputer Engineering Co., Ltd. 1479 Kamimimoto-cho, Kodaira-shi, Tokyo
Applicants:	Hitachi, Ltd. 4-6 Kandasurugadai, Chiyoda-ku, Tokyo
	Hitachi Microcomputer Engineering Co., Ltd. 1479 Kamimimoto-cho, Kodaira-shi, Tokyo

Agents:

Akio Takahashi, patent attorney,
and 1 other

[There are no amendments to this patent.]

Claims

1. A digital information processing device characterized by including an amplifier circuit that can form a relatively low oscillation frequency signal by coupling an external part, an internal circuit that receives the oscillation frequency signal to perform constant operation, and a PLL circuit that uses the aforementioned oscillation frequency signal as a reference frequency signal and forms a relatively high-frequency signal as a clock signal for performing information processing.
2. The digital information processing device described in Claim 1 characterized by the fact that the aforementioned PLL circuit is operated intermittently depending on a prescribed control signal.
3. The digital information processing device described in Claim 1 or 2 characterized by the fact that the aforementioned digital information processing device is constituted by a CMOS circuit.
4. The digital information processing device described in Claim 1, 2, or 3 characterized by the fact that the aforementioned digital information processing device is a semiconductor integrated circuit having a one-chip microcomputer function.

Detailed explanation of the invention

Technical field

The present invention pertains to a digital information processing device, for example, effective technology used for a semiconductor integrated circuit device having a microcomputer function.

Background technology

For example, a liquid crystal display control circuit taking advantage of a one-chip microcomputer function is well known (see "Liquid crystal driving type LCD III User's Manual" published by Hitachi in September 1982).

In semiconductor integrated circuit device LCD III, the operation of an oscillation circuit for a clock is stopped (halted) by a program or an external control signal, and the operation of the internal circuit is stopped. In this way, power consumption can be reduced. The aforementioned halted operation is released by a prescribed time signal formed by a separate oscillation circuit

for a timer. Consequently, it is necessary to use two oscillation circuits, one for a clock and the other for a timer. Therefore, a crystal oscillator and other external parts that constitute the two oscillation circuits are needed. It is also necessary to use two groups (total of 4) of external terminals for connecting them.

Also, if crystal vibration or ceramic vibration is used in order to stabilize the frequency of the aforementioned oscillation circuit for a clock operated intermittently, when the halted operation is released, that is, when the aforementioned oscillation circuit for a clock is again operated, abnormal oscillation occurs, and time is required to obtain a stabilized frequency signal. The response property is poor.

Objective of the invention

The objective of the present invention is to provide a digital information processing device that can reduce power consumption and reduce the number of external terminals and external parts.

The aforementioned objective and other objectives of the present invention and its novel characteristics will be clarified from the description of the specification and the attached figures.

Summary of the invention

A summary of the invention disclosed in this patent application is described briefly below. A relatively high-frequency signal is formed by a PLL (phase locked loop) circuit that uses a relatively low-frequency signal of a timer, etc., as reference frequency signal. In this way, a relatively high frequency clock signal used for information processing is obtained.

Application examples

Figure 1 is a block diagram illustrating an application example of a one-chip microcomputer to which the present invention is applied. As shown in the figure, the part encircled by the dotted line is an integrated circuit LSI. The various circuit blocks formed in this circuit constitute a one-chip microcomputer. They are formed on one silicon semiconductor substrate using conventional semiconductor integrated circuit manufacturing technology.

The part represented by symbol CPU is a microprocessor. Its main constituent blocks are shown in the figure.

A is an accumulator. X is an index register. CC is a condition code register. SP is a stack pointer. PCH, PCL are program counters. CPU-CONT is a CPU controller. ALU is an arithmetic logic operation unit.

Since the configuration of said microprocessor CPU is well known, for example, as described in "Basis of a microprocessor" by Koji Yata and published by Ohm Corp. on April 10,

1978, it will not be explained in detail here. An interrupt signal supplied from outside or the various signals sent outside are shown as signal C.

The part represented by symbol I/O is an input/output port. It includes an internal data transfer direction register. Also, the part represented by symbol I is the special port for input.

The part represented by symbol OSC is an oscillation circuit. There is no special limitation on this circuit, which can form a highly-accurate reference frequency signal using externally attached crystal vibrator Xtal. There is no special limitation on the reference frequency signal, which is a relatively low-frequency signal of about 32.768 kHz. It is also used as the reference time pulse for a timer to be explained below. The timer is constituted by counter COUT, frequency divider PR, and controller CONT. Said frequency divider PR receives an oscillation output formed by said oscillation circuit OSC and forms a one-second pulse. Counter COUT counts one-second pulses to form time information. Controller CONT is used to set a time and performs various timer controls. The timer comprised of the aforementioned parts is set in constant operation by its power supply. Also, the relatively low-frequency signal formed by said oscillation circuit OSC is used as a clock signal for liquid crystal driving circuit LCD-DRV. Said liquid crystal driving circuit LCD-DRV includes a shift register that receives display information, a latch circuit, a driving circuit that receives the output of the latch circuit and drives the segment electrode of a liquid crystal, and a driving circuit that drives the common electrode.

The oscillation frequency signal formed by said oscillation circuit OSC is also used to form the clock signal of said microprocessor CPU. In other words, as will be described later, clock-generating circuit CPG that forms the clock signal of microprocessor CPU includes a PLL circuit that uses the aforementioned oscillation frequency signal as a reference frequency signal. A clock signal with a relatively high frequency of about 4-8 MHz is formed in order to operate the microprocessor at high speed.

The part represented by symbol RAM is a random access memory. It is mainly used to store data temporarily.

The part represented by symbol ROM is a read only memory. It is used to store a program for various information processing.

The aforementioned circuit blocks are connected to each other by bus BUS with microprocessor CPU as the center. Said bus BUS includes a data bus and an address bus.

Figure 2 is a diagram illustrating an application example of the aforementioned oscillation circuit OSC and clock-generating circuit CPG.

There is no special limitation on oscillation circuit OSC, which may have the following configuration. A bias resistor R1 is set between the input and output of a CMOS (complementary MOS) inverter circuit IV. Said inverter circuit IV operates as an inverting amplifier. Its input and

output are connected to external terminals P1, P2, respectively. For said invert circuit IV, crystal vibrator Xtal is connected between external terminals P1, P2. Capacitors C1, C2 are connected between external terminals P1, P2 and the ground potential point of the circuit to form an oscillation circuit. Also, when a reference frequency signal is supplied from external terminal P1, said inverter circuit IV outputs a frequency signal correspondingly. The oscillation output obtained from the output of said CMOS inverter circuit IV is supplied to frequency divider PR (not shown in the figure) that constitutes a timer.

The output of said oscillation circuit OSC is also used as a reference frequency signal of the PLL circuit that constitutes clock-generating circuit CPG. In other words, the aforementioned oscillation output is supplied to one of the inputs of phase comparator PD via NOR (NOR) gate circuit G1. The output of voltage-controlled oscillation circuit VCO whose frequency is decreased (divided) by a prescaler PSC is supplied to the other input of said phase comparator PD. The output of phase comparator PD is supplied to the control voltage terminal of said voltage-controlled oscillation circuit VCO via low-pass filter LPF. By using this PLL loop, the oscillation frequency of said voltage-controlled oscillation circuit VCO is phase (frequency) locked to a relatively high frequency, such as about 4 MHz, according to the inverse frequency dividing ratio of prescaler PSC with respect to the reference frequency of about 32 KHz formed by said oscillation circuit OSC. The aforementioned relatively high-frequency signal formed by said voltage-controlled oscillation circuit VCO is supplied to clock providing circuit CP, which generates the essential clock signal.

In this application example, in order to reduce the power consumption of the clock-generating circuit CPG, aforementioned PLL circuit is operated intermittently. In order to realize intermittent operation of the PLL circuit, for voltage-controlled oscillation circuit VCO, the forward feedback loop is cut off according to the output of OR (OR) gate circuit G2. Also, when the output of OR gate circuit G2 is provided to the other input of said NOR gate circuit G1, the aforementioned reference frequency signal will be provided selectively to phase comparator PD. In other words, when the output signal of OR gate G2 is at high level (logic "1"), the output of said NOR gate circuit G1 is fixed at low level (logic "0"). A control signal following an instruction sent from microprocessor CPU and a control signal provided from external terminal P3 are supplied to the input of said OR gate circuit G2. For example, when a halt signal formed by microprocessor CPU is held by a latch circuit, not shown in the figure, a high level signal is provided to said OR gate circuit G2. The operation of voltage-controlled oscillation circuit VCO is halted, and the PLL loop is cut off. When the aforementioned latch circuit is reset by the output of the timer, aforementioned clock-generating circuit PCG [sic; CPG] will be restarted. This operation is carried out in the same way depending on the control signal sent from external terminal P3. A intermittent clock signal is formed by the operation of the intermittent clock-

generating circuit CPG. In this way, power consumption can be reduced by stopping the clock signal during the period when microprocessor CPU is not engaged in information processing.

Figure 3 is a circuit diagram illustrating an application example of the aforementioned voltage-controlled oscillation circuit VCO. The various circuit elements shown in the figure are formed on one semiconductor substrate made of single crystal silicon using conventional CMOS (complementary MOS) integrated circuit manufacturing technology. In this figure, a MOSFET with a straight line added between the source and drain is of the p-channel type.

The integrated circuit is formed on a semiconductor substrate made of single crystal p-type silicon. An n-channel MOSFET is comprised of a source region and a drain region formed on the surface of a semiconductor substrate and a gate electrode made of polysilicon and formed via a thin gate insulated film formed on the surface of the semiconductor substrate between the source region and the drain region. A p-channel MOSFET is formed in an n-type well region formed on the surface of the aforementioned semiconductor substrate. In this way, the semiconductor substrate constitutes a common substrate gate for plural n-channel MOSFETs formed on it. The n-type well region constitutes a substrate gate for the p-channel MOSFET formed on it.

Control voltage VC is provided to the gates of n-channel MOSFETs Q1, Q2. Said MOSFET Q2 forms a current source to generate discharge current of capacitor C. In other words, MOSFET Q2 discharges capacitor C via n-channel type switch MOSFET Q5 by following aforementioned control voltage VC. A current mirror circuit comprised of p-channel MOSFET Q3, Q4 is set at the drain of said MOSFET Q1. In this way, the drawn-in current obtained from the drain of said MOSFET Q1 according to control voltage VC is converted to push-out current via said current mirror MOSFETs Q3, Q4. The push-out current obtained from the drain of said MOSFET Q4 is provided to capacitor C via p-channel type switch MOSFET Q6 to charge capacitor C. Said switch MOSFETs Q5, Q6 are set in complementary operating states when the output of a Schmidt trigger circuit having the following gate function is supplied to their gates to charge/discharge said capacitor C. The voltage V of said capacitor C is supplied to the input of a CMOS inverter circuit comprised of n-channel MOSFET Q7 [sic; Q6] and p-channel MOSFET Q7. The output of the inverter circuit is supplied to one of the inputs of CMOS NOR gate circuit G3. The output of NOR gate circuit G3 is supplied to the gates of switch MOSFETs Q5, Q6 that charge/discharge said capacitor C. The output of said NOR gate circuit G3 is also supplied to the gates n-channel MOSFET Q8 and p-channel MOSFET Q9 that comprise a CMOS inverter. The output of the inverter circuit is commonly connected to the output of the CMOS inverter circuit that receives the voltage V of said capacitor C. In other words, in said two CMOS inverter circuits, n-channel MOSFETs Q6, Q8 and p-channel MOSFETs Q7, Q9 are parallel to each other. In this way, CMOS inverter circuit (Q6, Q7) that receives voltage V of capacitor C

constitutes a Schmidt trigger circuit having two logic threshold voltages V_H and V_L to be described later. The other input of said NOR gate circuit G3 is sent to control terminal C used for stopping the oscillation operation.

In the following, the operation of the aforementioned voltage-controlled oscillation circuit VCO will be explained based on the operation waveform diagram shown in Figure 4.

When a low-level signal (logic "0") is sent to aforementioned control terminal C, NOR gate G3 [illegible; possibly, opens] the gate to transfer the output of inverter circuit (Q6, Q7). Since the output of NOR gate circuit G3 is low level, p-channel type switch MOSFET Q6 is switched to the on state, and capacitor C is charged by the drain current of p-channel MOSFET Q4. At that time, p-channel MOSFET Q9 is turned on by the low-level output of NOR gate circuit G3. In this way, the output of the CMOS inverter circuit receiving voltage V of capacitor C has an offset to the high level side due to the on state of said p-channel MOSFET Q9. In other words, since the combined conductance of MOSFETs Q7 and Q9 is increased, the logic threshold voltage at that time becomes a relatively high voltage, such as V_H . When voltage V is raised as a result of charging of capacitor C, even if n-channel MOSFET Q6 is in the on state, since the conductance on the p-channel side is relatively high, the input voltage V used for obtaining low level according to the conductance ratio is a relatively high voltage, such as logic threshold voltage V_H . When the voltage V of said capacitor C exceeds logic threshold voltage V_H , its output becomes low level. As a result, the output of the NOR gate circuit is changed from low level to high level. When the output of said NOR gate circuit G3 becomes high level, p-channel type switch MOSFET Q6 is turned off, and n-channel type switch MOSFET Q5 is turned on. In this way, capacitor C is switched to the discharging operation performed by the drain current of MOSFET Q2. Also, because of the high level of the output of said NOR gate circuit G3 p-channel, MOSFET Q9 is turned off and n-channel MOSFET Q8 is switched to the on state. As a result, the output of the CMOS inverter circuit receiving voltage V of said capacitor C has an offset to the low level side as opposed to the aforementioned case. The threshold voltage becomes relatively low such as V_L . Consequently, the aforementioned discharge operation is performed until voltage V of capacitor C drops below said logic threshold voltage V_L . When this operation is repeated, oscillation signal ϕ is obtained from the output of NOR gate circuit G3.

The charge/discharge current of said capacitor C varies according to said control voltage VC. For example, with respect to the charge/discharge waveform shown by the solid line in the figure, when control voltage VC is raised, the charge/discharge current becomes large. As a result, the charge/discharge time with the aforementioned offset voltage width ($V_H - V_L$) decreases as indicated by the dotted line shown in the figure. Therefore, the oscillation frequency is increased. On the other hand, when control voltage VC is lowered, the charge/discharge

current is reduced. As a result, the aforementioned charge/discharge time increases. Therefore, the oscillation frequency is lowered (not shown in the figure).

Also, when high level (logic "0") is supplied to control terminal C, the output of NOR gate circuit G3 is fixed at low level. Therefore, the aforementioned oscillation operation is stopped. In this application example, when the voltage-controlled oscillation circuit VCO undergoes oscillation again because of the low level at control terminal C, oscillation is performed by the charge/discharge operation with respect to said capacitor C. Therefore, abnormal oscillation occurring when using a crystal vibrator, etc., can be avoided, and a good response property can be obtained.

Effect

(1) An external terminal coupled with a vibrator or another external circuit network, an amplifier circuit that constitutes a vibration circuit by coupling the aforementioned external circuit network, and a PLL circuit using a relatively low-frequency signal obtained from the output of the amplifier circuit are used to obtain a relatively high-frequency signal. In this way, a digital information processing device including an internal circuit that operates using a relatively low-frequency signal and an internal circuit that operates at high-speed using a relatively high-frequency signal are obtained. The number of external terminals and external parts can be reduced.

(2) When the operation of the PLL circuit that forms the aforementioned relatively high-frequency signal is selectively stopped, the power consumption of the internal circuit that operates at high speed can be reduced.

(3) When the relatively high-frequency signal is formed using the PLL circuit according to said (1), a very stable system clock signal for information processing can be obtained.

(4) When the system clock signal is formed based on the output of the voltage-controlled oscillation circuit that constitutes the PLL circuit, abnormal oscillation occurring when using a crystal vibrator can be prevented. Also, since a signal phase locked to the aforementioned relatively low frequency can be obtained, the timing of sending out the clock when the system is restarted can be simplified.

The present invention has been explained in detail based on an application example. The present invention, however, is not limited to this application example. Various modifications can be made as long as they do not deviate from the main point of the invention. For example, the voltage-controlled oscillation circuit VCO can be connected to a link oscillator, which is formed by connecting an odd number of inverter circuits in a link form, via a transmission gate MOSFET that enters an operating state upon receiving the aforementioned control voltage. Also, the other circuits that constitute the PLL circuit and other internal circuits can adopt various

embodiments. The PLL circuit can also selectively supply a clock signal to the microprocessor or other internal circuits in a constant operation state.

Application field

The present invention can be applied to various types of digital information processing devices, such as a microcomputer, which includes an internal circuit, such as a timer circuit, that is in a constant operation state using a relatively low-frequency signal and an internal circuit that requires a relatively high-frequency signal for high-speed operation.

Brief description of the figures

Figure 1 is a block diagram illustrating an application example when the present invention is applied to a one-chip microcomputer.

Figure 2 is a block diagram illustrating an application example of the oscillation circuit and the clock-generating circuit

Figure 3 is a circuit diagram illustrating an application example of the voltage-controlled oscillation circuit.

Figure 4 is a waveform diagram explaining an example of operation of the aforementioned voltage-controlled oscillation circuit.

LSI	Semiconductor integrated circuit device
CPU	Microprocessor
CPU-CONT	CPU controller
ALU	Arithmetic logic unit
A	Accumulator
X	Index register
CC	Status register
SP	Stack pointer
PCH, PCL	Program counter
RAM	Random access memory
ROM	Read only memory
I/O	Input/output port
I	Special port for input
OSC	Oscillation circuit
COUT	Counter
COUT	Controller
PR	Frequency divider

BUS	Bus
CPG	Clock-generating circuit
LCD-DRV	Liquid crystal driving circuit
VCO	Voltage-controlled type oscillation circuit
PSC	Prescaler
PD	Phase comparator
LPF	Low-pass filter

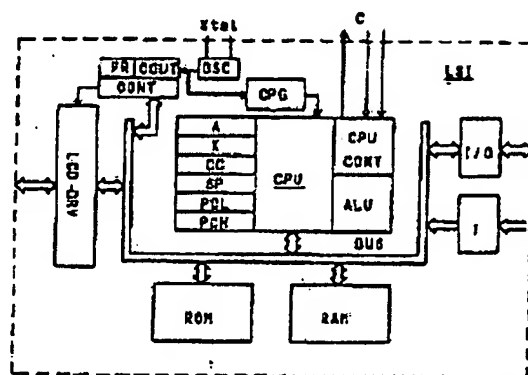


Figure 1

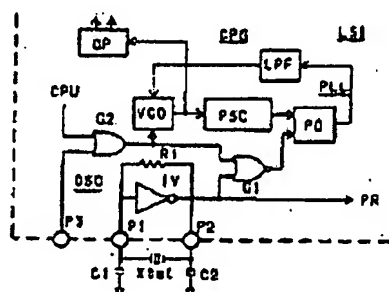


Figure 2

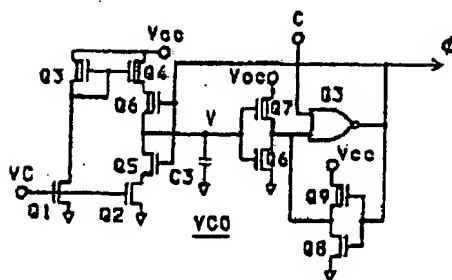


Figure 3

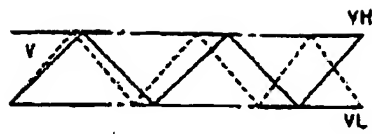


Figure 4

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭61-127228

⑬ Int. Cl. 4	識別記号	庁内整理番号	⑭ 公開 昭和61年(1986)6月14日
H 03 L 7/16		7530-5J	
G 06 F 1/00	1 0 2	E-7157-5B	
		7157-5B	
G 09 G 3/18		7435-5C	審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 デジタル情報処理装置

⑯ 特 願 昭59-248130

⑰ 出 願 昭59(1984)11月26日

⑱ 発 明 者	荒 井 保	小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑲ 発 明 者	井 上 徹	小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内
⑳ 出 願 人	株式会社日立製作所	東京都千代田区神田駿河台4丁目6番地
㉑ 出 願 人	日立マイクロコンピュータエンジニアリング株式会社	小平市上水本町1479番地
㉒ 代 理 人	弁理士 高橋 明夫	外1名

明 細 書

発明の名称 デジタル情報処理装置

特許請求の範囲

1. 外部部品の結合によって比較的低い発振周波数信号を形成する増幅回路と、この発振周波数信号を受けて定常的な動作を行う内部回路と、上記発振周波数信号を基準周波数信号として、情報処理を行うクロック信号としての比較的高い周波数信号を形成するPLL回路とを含むことを特徴とするデジタル情報処理装置。
2. 上記PLL回路は、所定の制御信号によって間欠的に動作させられるものであることを特徴とする特許請求の範囲第1項記載のデジタル情報処理装置。
3. 上記デジタル情報処理装置は、CMOS回路により構成されるものであることを特徴とする特許請求の範囲第1又は第2項記載のデジタル情報処理装置。
4. 上記デジタル情報処理装置は、1チップのマイクロコンピュータ機能を持つ半導体集積回路

装置であることを特徴とする特許請求の範囲第1、第2又は第3項記載のデジタル情報処理装置。

発明の詳細な説明

(技術分野)

この発明は、デジタル情報処理装置に関するもので、例えば、マイクロコンピュータ機能を持った半導体集積回路装置に利用して有効な技術に関するものである。

(背景技術)

例えば、1チップのマイクロコンピュータ機能を利用した液晶表示制御回路が公知である(日立製作所昭和57年9月発行「液晶駆動タイプLCD ユーザーズマニュアル」参照)。

この半導体集積回路装置LCDにおいて、プログラム又は外部制御信号によりクロック用発振回路の動作を停止(ホルト)させて、内部回路の動作を停止させることにより低消費電力化を図るという機能が設けられている。上記動作停止の解除は、別に設けられたタイマー用発振回路により形成された所定の時間信号により行われる。し

たがって、発振回路としては、上記クロック用の発振回路とタイマー用の発振回路の2つが必要になる。このため、2つの発振回路を構成する水晶振動子等の外部部品がそれぞれ必要になることの他、それらを接続するための外部端子を2組(合計4個)設ける必要がある。

また、上記のように間欠的に動作させるクロック用発振回路の周波数の高安定化のために、水晶振動子又はセラミック振動子を用いると、その動作停止の解除を行うとき、言い換えるならば、上記クロック用発振回路を再び動作状態にさせる時、異常発振が生じて安定した周波数信号が得られるまで時間を要することとなって応答性に問題がある。

(発明の目的)

この発明の目的は、低消費電力化と外部端子及び外部部品点数を削減したデジタル情報処理装置を提供することにある。

この発明の前提ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明

らかになるであろう。

(発明の概要)

本題において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、タイマー等の比較的低い周波数信号を基準周波数信号とするPLL(フェーズ・ロック・ループ)回路によって、比較的高い周波数信号を形成して、情報処理のための比較的高い周波数のクロック信号を形成するものである。

(実施例)

第1図には、この発明が適用された1チップマイクロコンピュータの一実施例のブロック図が示されている。同図において、点線で囲まれた部分は集積回路LSIであり、ここに形成された各回路ブロックは、全体として1チップマイクロコンピュータを構成しており、公知の半導体集積回路の製造技術によってシリコンのような1個の半導体基板上において形成される。

記号CPUで示されているのは、マイクロプロセッサであり、その主要構成ブロックが代表とし

て例示的に示されている。

Aはアキュムレータ、Xはインデックスレジスタ、CCはコンディショニングコードレジスタ、SPはスタックポインタ、PCH、PCLはプログラムカウンタ、CPU-CONTはCPUコントローラ、ALUは算術論理演算ユニットである。

このようなマイクロプロセッサCPUの構成は、例えば、西オーム社から昭和53年4月10日に発行された「マイクロコンピュータの基礎」矢田光治著によって公知であるので、その詳細な説明を省略する。なお、外部から供給される割り込み信号、又は外部に送出する各種信号を信号Cとして示している。

記号I/Oで示されているのは、入出力ポートであり、その内部にデータ伝送方向レジスタを含んでいる。また、記号Iで示されているのは、入力専用ポートである。

記号OSCで示されているのは、発振回路であり、特に制限されないが、外付される水晶振動子X1a)を利用して高精度の基準周波数信号を形成

する。この基準周波数信号は、特に制限されないが、約32.768KHzのような比較的低い周波数信号とされ、一方において次に説明するタイマーの基準時間パルスとしても用いられる。このタイマーは、カウンタCOUT、分周回路PR及びコントローラCONTとによって構成される。すなわち、分周回路PRは、上記発振回路OSCにより形成された発振出力を受けて、1秒パルスを形成する。カウンタ回路COUTは、この1秒パルスを計数して時間情報を形成する。コントローラCONTは、時間の設定や各種タイマー制御を行うものである。これらの各回路からなるタイマーは、その電源供給によって定常的に動作状態にさせられるものである。また、上記発振回路OSCによって形成された比較的低い周波数信号は、液晶駆動回路LCD-DRVのクロック信号としても利用される。この液晶駆動回路LCD-DRVは、表示情報を受けるシフトレジスタやラッチ回路や、ラッチ回路の出力を受けて、液晶のセグメント電極を駆動する駆動回路及びコモン電極を

駆動する駆動回路等を含んでいる。

また、上記発振回路OSCにより形成された発振周波数信号は、他方において上記マイクロプロセッサCPUのクロック信号を形成するために利用される。すなわち、マイクロプロセッサCPUのクロック信号を形成するクロック発生回路CPGは、後述するように、上記発振周波数を基準周波数信号とするPLL回路を含み、マイクロプロセッサCPUを高速動作させるために約4MHzないし8MHzのような比較的高い周波数のクロック信号を形成する。

記号RAMで示されているのは、ランダム・アクセス・メモリであり、主として一時データの記憶回路として用いられる。

記号ROMで示されているのは、リード・オンリー・メモリであり、各種情報処理のためのプログラムが格納されている。

以上の各回路ブロックは、マイクロプロセッサCPUを中心としバスBUSによって相互に接続されている。このバスBUSには、データバスと

アドレスバスとが含まれるものである。

第2図には、上記発振回路OSCと上記クロック発生回路CPGの一実施例のブロック図が示されている。

発振回路OSCは、特に制限されないが、次の図路によって構成される。CMOS（相補型MOS）インバータ回路1Vの入力と出力との間にはバイアス抵抗R1が設けられる。上記インバータ回路1Vは、反転増幅回路として動作し、それぞれの入力と出力は、それぞれ外部端子P1、P2に結合される。上記インバータ回路1Vは、これらの外部端子P1、P2間に水晶振動子Xtalが接続され、各外部端子P1、P2と回路の接地電位点との間にそれぞれキャパシタC1、C2が設けられことによって発振回路を構成する。また、上記インバータ回路1Vは、外部端子P1から基準周波数信号を供給すると、それに従った周波数信号を送出する。上記CMOSインバータ回路1Vの出力から得られた発振出力は、一方においてタイマーを構成する分周回路PR（図示せず）に

供給される。

また、上記発振回路OSCの出力は、他方において次のクロック発生回路CPGを構成するPLL回路の基準周波数信号として利用される。すなわち、上記発振出力は、ノア（NOR）ゲート回路G1を介して位相比較回路PDの一方の入力に供給される。上記位相比較回路PDの他方の入力には、プリスケアラPSCによって周波数通降（分周）された電圧制御型発振回路VCOの出力が供給される。この位相比較回路PDの出力信号は、ローパスフィルタLPFを介して上記電圧制御型発振回路VCOの制御電圧端子に供給される。このようなPLLループによって、電圧制御型発振回路VCOの発振周波数は、上記発振回路OSCによって形成された約32KHzの基準周波数に対してプリスケアラPSCの逆分周比に従った約4MHzのような比較的高い周波数に位相（周波数）ロックされる。上記電圧制御型発振回路VCOにより形成された上記比較的高い周波数信号は、クロック供給回路CPに供給され、ここで必要な

数のクロック信号が形成される。

この実施例では、クロック発生回路CPGにおける低消費電力化を図るため、上記PLL回路の動作そのものも間欠的に動作状態にさせる。このようなPLL回路の間欠動作を実現するため、電圧制御型発振回路VCOは、オア（OR）ゲート回路G2の出力によって、その正帰還ループが断たれるようにされる。また、このオアゲート回路G2の出力は、上記ノアゲート回路G1の他方の入力に供給されることによって、上記基準周波数信号が位相比較回路PDに供給されるのを選択的に制御する。すなわち、オアゲート回路G2の出力信号がハイレベル（論理“1”）されると、上記ノアゲート回路G1の出力は、ロウレベル（論理“0”）に固定される。上記オアゲート回路G2の入力には、マイクロプロセッサCPUからの指示に従った制御信号と外部端子P3から供給された制御信号が供給される。例えば、マイクロプロセッサCPUにより形成されたハルト信号を図示しないラッチ回路が保持すると、上記オアゲー

ト回路G2にハイレベルの信号を供給して、電圧制御型発振回路VCOの動作を停止させるとともにPLLループを遮断させる。また、上記ラッチ回路をタイマー出力によりリセットさせることにより、上記クロック発生回路PCGの再起動をかけるものである。このような動作は、外部端子P3から供給される制御信号によっても同様に行われる。このような間欠的なクロック発生回路CPOの動作によって、間欠的なクロック信号が形成される。これにより、マイクロプロセッサCPUが何も情報処理動作を行わない一定期間、そのクロック信号を停止させることによって、低消費電力化を実現するものである。

第3図には、上記電圧制御型発振回路VCOの一実施例の回路図が示されている。同図の各回路素子は、公知のCMOS（相補型MOS）集積回路の製造技術によって、1個の単結晶シリコンのような半導体基板上において形成される。同図において、ソース・ドレイン間に直線が付加されたMOSFETはPチャンネル型である。

クCを放電させる。上記MOSFETQ1のドレインには、PチャンネルMOSFETQ3、Q4により構成された電流ミラー回路が設けられる。これにより、上記MOSFETQ1のドレインから得られる制御電圧VCに従った扱い込み電流は、上記電流ミラーMOSFETQ3、Q4を介して押し出し電流に変換される。上記MOSFETQ4のドレインから得られる押し出し電流は、Pチャンネル型のスイッチMOSFETQ5を介してキャパシタCに供給されることにより、キャパシタCを充電させる。上記スイッチMOSFETQ5、Q6は、そのゲートに次のゲート駆動を持つシュミットトリガ回路の出力が供給することによって相補的に動作状態にされ、キャパシタCの充放電動作を行う。上記キャパシタCの電圧Vは、NチャンネルMOSFETQ7とPチャンネルMOSFETQ1からなるCMOSインバータ回路の入力に供給される。このインバータ回路の出力は、CMOSノアゲート回路G3の一方の入力に供給される。このノアゲート回路G3の出力は、

特に制限されないが、集積回路は、単結晶P型シリコンからなる半導体基板に形成される。NチャンネルMOSFETは、かかる半導体基板表面に形成されたソース領域、ドレイン領域及びソース領域とドレイン領域との間の半導体基板表面に薄い厚さのゲート絶縁膜を介して形成されたポリシリコンからなるようなゲート電極から構成される。PチャンネルMOSFETは、上記半導体基板表面に形成されたN型ウェル領域に形成される。これによって、半導体基板は、その上に形成された複数のNチャンネルMOSFETの共通の基板ゲートを構成する。N型ウェル領域は、その上に形成されたPチャンネルMOSFETの基体ゲートを構成する。

制御電圧VCは、NチャンネルMOSFETQ1、Q2のゲートに供給される。上記MOSFETQ2は、電流源を構成しキャパシタCの放電電流を形成する。すなわち、MOSFETQ2は、上記制御電圧VCに従って形成し、Nチャンネル型のスイッチMOSFETQ5を介してキャパシ

タCの放電電流を形成する。すなわち、MOSFETQ2は、上記制御電圧VCに従って形成し、Nチャンネル型のスイッチMOSFETQ5を介してキャパシタCの放電電流を形成する。一方において上記キャパシタCの充放電を行うスイッチMOSFETQ5、Q6のゲートに供給される。上記ノアゲート回路G3の出力は、他方において、特に制限されないが、CMOSインバータ構成のNチャンネルMOSFETQ8とPチャンネルMOSFETQ9のゲートに供給される。このインバータ回路の出力は、上記キャパシタCの電圧Vを受けるCMOSインバータ回路の出力と共通接続される。言い換えるならば、上記2つのCMOSインバータ回路におけるNチャンネルMOSFETQ6、Q8とPチャンネルMOSFETQ7、Q9はそれぞれ並列形態にされる。これにより、キャパシタCの電圧Vを受けるCMOSインバータ回路（Q6、Q7）は、後述するような2つのロジックスレッシュド電圧VHとVLを持つシュミットトリガ回路を構成する。上記ノアゲート回路G3の他方の入力、発振動作を停止させるための制御端子Cとされる。

次に、第4図の動作波形図を参照して、上記電圧制御型発振回路VCOの動作を説明する。

上記制御端子Cにロウレベル（論理“0”）が供給されると、ノアゲート回路G3は、ゲートを閉じてインバータ回路（Q6、Q7）の出力を伝える。今、ノアゲート回路G3の出力がロウレベルなら、Pチャネル型のスイッチMOSFET Q6がオン状態にされ、PチャネルMOSFET Q4のドレイン電流に従ってキャパシタCの充電動作を行う。この時、ノアゲート回路G3のロウレベルの出力によってPチャネルMOSFET Q9がオン状態にされる。これにより、キャパシタCの電圧Vを受けるCMOSインバータ回路の出力は、上記PチャネルMOSFET Q9のオン状態によってハイレベル側にオフセットを持つようにされる。すなわち、MOSFET Q7とQ9との合成コンダクタンスが大きくされるため、この時のロジックスレッシュホールド電圧は、 V_H のように比較的高い電圧にされる。キャパシタCへの充電によって電圧Vが高くなることにより、NチャネルMOSFET Q6がオン状態にされても、Pチャネル側のコンダクタンスが比較的

大きくされているので、そのコンダクタンス比に従ったロウレベルを得るための入力電圧Vは、ロジックスレッシュホールド電圧 V_H のように比較的高くされる。上記キャパシタCの電圧Vがロジックスレッシュホールド電圧 V_H を超えると、その出力がロウレベルにされる。この結果、ノアゲート回路G3の出力はロウレベルからハイレベルに変化する。上記ノアゲート回路G3の出力がハイレベルにされると、Pチャネル型のスイッチMOSFET Q6はオフ状態に、Nチャネル型のスイッチMOSFET Q5はオン状態に切り換えられる。これにより、キャパシタCは、MOSFET Q2のドレイン電流に従った放電動作に切り換えられる。また、上記ノアゲート回路G3の出力のハイレベルによって、PチャネルMOSFET Q9はオフ状態に、NチャネルMOSFET Q8はオン状態に切り換えられる。これにより、上記キャパシタCの電圧Vを受けるCMOSインバータ回路の出力は、上記の場合とは逆にロウレベル側にオフセットを持つようにされ、ロジックスレ

ッシュホールド電圧が V_L のように比較的低くされる。したがって、上記放電動作は、キャパシタCの電圧Vが上記ロジックスレッシュホールド電圧 V_L 以下になるまで行われる。このような動作の繰り返しによって、ノアゲート回路G3の出力から発振信号が得られる。

上記キャパシタCの充放電電流は、上記制御電圧VCに従って変化する。例えば、同図に実線で示すような充放電波形に対して、制御電圧VCが高くされると、その分充放電電流が大きくされるので、上記オフセット電圧幅（ $V_H \sim V_L$ ）での充放電時間が同図に点線で示すよう短くなるので、発振周波数は高くされる。また、逆に、制御電圧VCが低くされると、その分充放電電流が小さくされるので、上記充放電時間が長くなるので発振周波数は低くされる（図示せず）。

また、制御端子Cにハイレベル（論理“1”）が供給すると、ノアゲート回路G3の出力はロウレベルに固定されることにより、上記発振動作が停止させられる。なお、この実施例の電圧制御型発

振回路VCOは、制御端子Cのロウレベルによって再発振動作を行う場合、上記キャパシタCへの充放電動作により発振動作が行われるので、水晶振動子等を用いたような異常発振現象が生じることはなく、良好な応答性が得られる。

（効果）

(1) 振動子等の外部回路網を結合させる外部端子と、上記外部回路網の結合によって発振回路を構成する増幅回路と、この増幅回路の出力から得られる比較的低い周波数信号を基準周波数信号とするPLL回路とを設けて比較的高い周波数信号を形成する。これにより、比較的低い周波数信号で動作する内部回路と、比較的高い周波数信号で高速動作する内部回路とを含むデジタル情報処理装置として、その外部端子数と外部部品の削減を実現することができるという効果が得られる。

(2) 上記比較的高い周波数信号を形成するPLL回路の動作を選択的に停止させることにより、高速動作を行う内部回路における低消費電力化を図ることができるという効果が得られる。

図上記(1)により、PLL回路を利用して比較的高い周波数信号を形成することによって、極めて安定した情報処理のためのシステムクロック信号を得ることができるという効果が得られる。

(4) PLL回路を構成する電圧制御型発振回路の出力に基づいてシステムクロック信号を形成することにより、水晶振動子を用いた場合のような再起動時の異常発振が防止できるとともに、上記比較的低い周波数に位相ロックした信号が得られるので、システムの再起動時のクロック送出タイミングが簡単にできるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、電圧制御型発振回路VCOは、奇数個のインバータ回路をリング状に接続形態に接続したリングオシレータに、上記制御電圧を受けて動作状態にされる伝送ゲートMOSFETを介して接続するもの等種々の実施形態を採ることが

できるものである。また、PLL回路を構成する他の回路や他の内部回路の具体的な回路は、種々の実施形態を採ることができるものである。さらに、PLL回路は常時動作状態にしておいて、マイクロプロセッサ等の内部回路に対してクロック信号を選択的に供給するものであってもよい。

(利用分野)

この発明は、タイマー回路等のように比較的低い周波数信号で常時動作状態にさせる内部回路と、高速動作のために比較的高い周波数信号を必要とする内部回路を含むマイクロコンピュータのような各種ディジタル情報処理装置に広く利用できるものである。

図面の簡単な説明

第1図は、この発明を1チップのマイクロコンピュータに適用した場合の一実施例を示すブロック図、

第2図は、その発振回路とクロック発生回路の一実施例を示すブロック図、

第3図は、その電圧制御型発振回路の一実施例

を示す回路図、

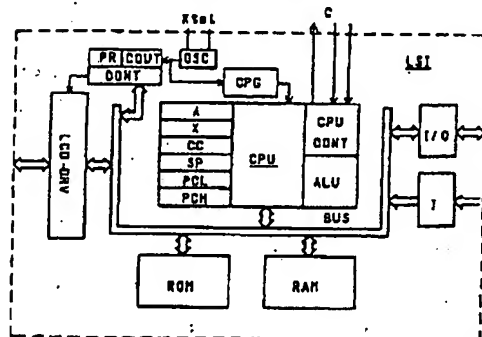
第4図は、上記電圧制御型発振回路の動作の一例を説明するための波形図である。

LSI・・・半導体集積回路装置CPU・・・マイクロプロセッサ、CPU-CONT・・・CPUコントローラ、ALU・・・算術論理ユニット、A・・・レジスタ、X・・・インデックスレジスタ、CC・・・状態レジスタ、SP・・・スタックポインタ、PCH、PCL・・・プログラムカウンタ、RAM・・・ランダム・アクセス・メモリ、ROM・・・リード・オンリー・メモリ、I/O・・・入出力ポート、I・・・入力専用ポート、OSC・・・発振回路、COUT・・・カウンタ、CONT・・・コントローラ、PR・・・分周回路、BUS・・・バス、CPO・・・クロック発生回路、LCD-DRV・・・液晶駆動回路、VCO・・・電圧制御型発振回路、PSC・・・プリスケアラ、P.D・・・位相比較回路、LPF・・・ローパスフィルタ

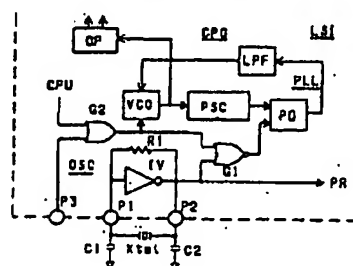
代理人弁理士 高橋 明夫



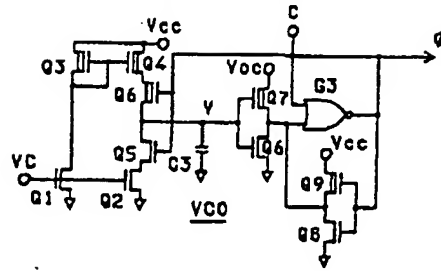
第1図



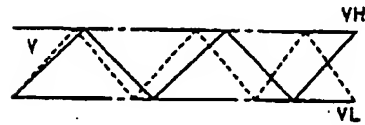
第2図



第 3 図



第 4 図



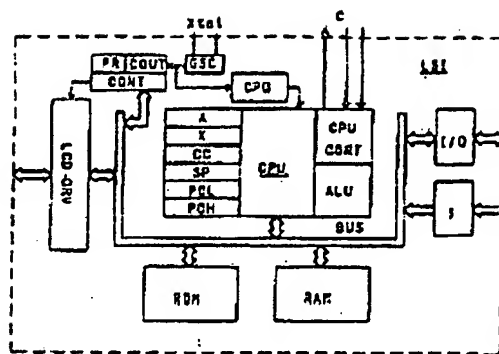


Figure 1

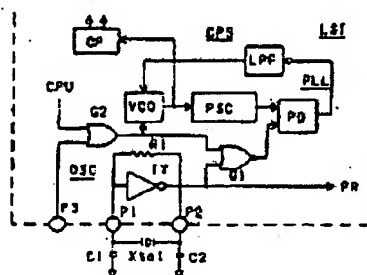


Figure 2